반도체 8대 공정 및 용어 정리

2018.04.04

|  |  |  |
| --- | --- | --- |
| 작성자 | 검토자 | 승인자 |
| 박상범 |  |  |

**목 차**

[1. 반도체 8대 공정 3](#_Toc511035196)

[1.1 웨이퍼 공정 3](#_Toc511035197)

[1.2 산화 공정 4](#_Toc511035198)

[1.3 포토 공정 7](#_Toc511035199)

[1.4 식각 공정 9](#_Toc511035200)

[1.5 박막 증착 공정 10](#_Toc511035201)

[1.6 금속 배선 공정(금속화 과정) 11](#_Toc511035202)

[1.7 EDS 공정 11](#_Toc511035203)

[1.8 패키징 13](#_Toc511035204)

# 반도체 8대 공정

## 웨이퍼 공정

- 모래로부터 실리콘을 추출, 가공과 성형을 통해 완성된 ingot(잉곳, 결정 기둥)을

얇은 판으로 잘라내는 공정

- 비용적인 측면이나 전기적 요소를 고려해 주로 규소(Si, 실리콘)가 쓰인다.

##### 웨이퍼 공정 절차

1. ingot(잉곳, 결정 기둥) 만들기

- 실리콘을 뜨거운 열로 녹여(실리콘의 녹는점은 1412도) 고순도의 실리콘 용액을 만들고 이를

실리콘 기둥(ingot, 잉곳)으로 만드어주는데 잉곳을 만드는 방법은 2가지로 CZ(Czochralski, 초그랄스키) 성장법과 FZ(Float Zone, 부융대) 성장법이 있다.

2. 얇은 웨이퍼 만들기(Wafer Slicing)

- 단결정 실리콘(Seed)와 잉곳(Ingot)의 말단을 제거하고 식힌 잉곳(Ingot)을 다이아몬드 톱을 이용해 균일한 두께로 얇게 절단하면 바로 ‘웨이퍼’가 된다

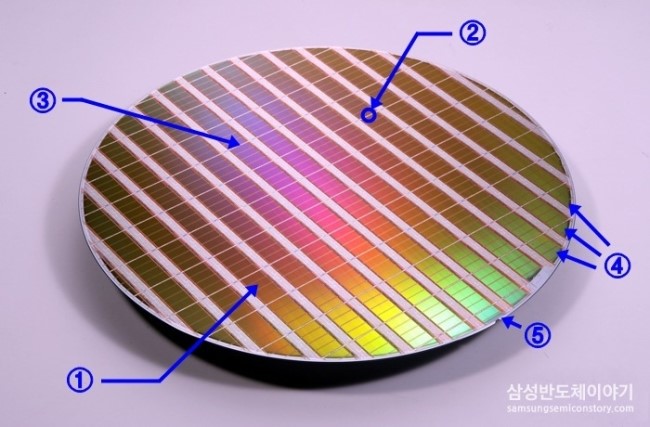
- 웨이퍼의 크기 = 잉곳의 지름

=> 웨이퍼가 클수록 한번에 생산할 수 있는 IC칩 수가 증가

3. 웨이퍼 표면 연마(Lapping & Polishing)

- 절단된 웨이퍼는 표면에 흠이 많고 거칠어서 IC칩으로 바로 사용할 수 없다. 그래서

연마액과 연마장비를 이용하여 웨이퍼의 표면을 거울처럼 반짝이게 갈아낸다



##### 웨이퍼의 구조

1. Chip

- 웨이퍼 위 전자회로가 새겨진 얇고 작은 조각으로, IC칩이 되는 부분

2. Scribe Line

- Chip 사이의 경계로, 아무 전자회로가 없는 부분이며 서로 구분해주는 분리선

3. TEG(Test Element Group)

- 실제 칩의 동작 여부를 판단하기 위해 테스트용으로 패턴을 구현화한 칩

4. Edge Die

- 웨이퍼는 가장자리 부분에 손실 부분(다이, Die)이 생깁니다

- 직경이 작은 웨이퍼보다 큰 웨이퍼의 다이 부분이 적고 손실률도 줄어듭니다

5. Flat Zone

- 웨이퍼 결정 구조는 눈으로 식별이 불가능해서 웨이퍼의 구조를 판별하고자 웨이퍼의

한 부분을 평평하게 만들어주는 부분

※ 웨이퍼

- 반도체 집적회로의 핵심 재료이며, 실리콘(Si), 갈륨 아세나이드(GaAs) 등을 성장시켜 얻은

단결정 잉곳(ingot)을 적당한 지름으로 얇게 썬 원판모양의 판

※ CZ(Czochralski, 초그랄스키)

- 다결정 실리콘을 도가니에 넣고 가열하여 녹인다. 이후 단결정 실리콘(시드, Seed)을 녹아있는

실리콘 용액을 위 표면에 접촉시키고 단결정 실리콘(시드, Seed)을 회전하며 끌어올린다

- 고상(고체 상태) – 액상(액체 상태) 사이의 계면에 냉각이 일어나 결정체(잉곳)가 형성

이런 장치를 ‘결정 성장 장치’ 라고 한다

※ FZ(Float-Zone, 플로팅 존)

- 다결정 실리콘 주입봉이 회전 운동을 하는데 이때 주입봉의 밑부분이 녹으면 액체 상태의

Si가 생긴다. 단결정 실리콘(Seed)는 아래에서부터 올라오며, 액체상태의 Si과 접촉

그 상태로 Seed를 아래로 다시 내려줌과 동시에 주입봉을 내리며 꾸준히 녹여주면서

단결정 Si의 성장이 시작(실리콘이 늘려준다고 생각)

- 이 때 생기는 결정의 크기는 Seed와 상대적인 하강속도의 비로 결정

## 산화 공정

- Si 기판 위에 산화제(물, 산소)와 열에너지를 공급하여 절연막 등 다양한 용도로 사용되는

SiO2 막을 형성하는 공정

##### 산화 공정 변수

1. 산화제(Oxidation, H2O, O2)

###### \* 습식 산화(Wet Oxidation)

- 반응이 빠르다, 산화막의 질이 비교적 안 좋다

\* 건식 산화(Dry Oxidation)

- 반응이 느리다. 산화막의 질이 비교적 좋다

2. 웨이퍼 결정 구조

- 100(사각형, a), 111(삼각형, )

- 원자 결정(111)이 원자 결정(100)보다 성장 속도가 빠르다

3. 더미 웨이퍼(Dummy Wafers)

- 가스를 정면으로 받거나 가스가 가장 나중에 닿는 부분은 서로 산화되는 정도가 다르기 때문에

희생용 Dummy Wafer를 활용하여 Furnace내 Gas의 균일도를 맞추어 준다면 사이에 있는

Wafer들을 비교적 균일하게 산화될 수 있다

4. 도핑 농도(Doping Concentration)

- 도핑 농도 증가 시 산화막의 두께가 증가

###### 5. 표면 결함(Surface Status)

- 표면 결함 -> 활성화 에너지가 낮아짐 -> 산화막 성장 속도 증가(결함 부근)

6. 압력(Pressure)

- 산소 압력 증가 -> 산화막 성장 속도 증가(비교적 낮은 온도에서도 산화막을 만들 수 있다)

7. 온도(Temperature)

- 온도 증가 -> 에너지 공급 증가 -> 산화막 성장률 증가

8. 시간(Time)

- 시간이 지날수록 산화막 성장 속도는 점점 줄어들어 두께는 수렴하게 된다

##### 산화 공정 과정

1. Wafer Cleaning

2. Oxidation(Wet, Dry)

3. Inspection

##### 산화 vs 증착(산화막을 산화해서 만드는 방식 vs 산화막을 증착해서 만드는 방식)

1. 산화(Oxidation)

- High Temp(>800 도)

- Subtrate로 Si 사용

- Si을 소모하여 산화막 생성(Si의 소모 두께가 45%)

2. 증착(Deposition)

- Low Temp( < 400도)

- Subtrate 제한이 없다

- 낮은 전력에서 절연 파괴 현상 발생, Etch 시 빨리 깎인다

=> 산화공정은 Si를 소모해서 산화막을 만드는데 이 때, 생성되는 산화막을 100%로 본다면

Si를 소모하는 두께는 45%, 계면 위의 두께는 55% 이다

Q) Si이 80nm 두께인 기판에 Si를 35nm 남기고 싶다면 몇 nm의 SiO2가 생성될 때까지

산화해야 하나?

A) 정답은 100nm, SiO2가 100nm만큼 생성될 때까지 산화한다면 그의 45%인 45nm 만큼 소모,

80nm의 Si에서 45nm를 소모하고 Si의 남은 두께는 35nm가 되는 것

##### 산화막의 용도

1. 소자간의 격리(LOCOS, STI)

- 예전에는 LOCOS(Local Oxidation on Silicon)을 많이 사용했었지만 Brid’s Beak 현상이

고집적화에 문제가 있어 요즘은 STI(Shallow Trench Isolation)을 많이 사용

※ Bird’s Beak 현상

- 열성장 속도 차이 때문에 노출된 부분의 가장자리는 조금 성장하고, 노출된 부분의 중심부는

많이 성장하여 새부리 모양의 불균형한 모습이 발생

## 포토 공정

- 반도체 표면 위에 사진인쇄 기술을 이용해서 반도체 위에 회로 패턴을 만들어 넣는 기술

- 빛에 반응하는 감광성 고분자 물질(PR, PhotoResist)를 얇게 바른 후 패턴의 마스크를

올려놓고 빛을 가해 원하는 패턴을 형성하는 과정

※ PhotoResist(PR)

- PR은 3가지 물질로 이루어짐

1. Solvent

- PR을 보관하기 위해 외부 빛의 노출을 방지하고자 사용하는 액체

- Solvent는 빛을 흡수하기 때문에 노광 전에 반드시 제거해야 PR이 빛에 반응할 수 있다

2. Resin

- Polymer 결합으로 이루어진 물질

3. Photoactive Compound(PAC)

- 빛에 반응하는 화합물

\* Positive PR

- PAC가 반응 주체 역할

- Positive PR은 빛을 받았을 시 Polymer 결합을 끊어준다(잘게 짤라준다)

\* Negative PR

- PAC가 반응 촉매 역할

- Negative PR은 빛을 받았을 시 기존의 입자를 뭉쳐준다(덩치가 커진다)

※ 노광(Stepper Exposure)

- 마스크에 빛을 통과시켜 웨이퍼에 회로를 그려 넣는 공정

##### 포토 공정 과정

1. Surface Preparaion

\* Dehyration Baking

- Substrate 위의 수분이 기름 성분인 PR과 접착을 방해해서 수분 제거

\* Wafer Prime

- PR과 기판의 접착성을 향상시키기 위해 계면 활성제를 도포해주는 과정

2. Spin Coating

- 감광제(PR)을 도포하는 과정

- 필요한 두께의 감광막을 웨이퍼 전체에 균일하게 형성하는 것

3. Soft Bake

- 도포한 PR과 함께 남아있는 Solvent를 제거하기 위한 과정 + 접착 강화

4. Alignment & Exposure

- 원하는 패턴의 Mask를 기판과 Align하고 빛을 발사함으로써 패턴 형성

\* Alignment

- Mask layer 간 패턴을 정확한 위치에 맞추는 작업

\* Exposure(노광)

- 감광막에 빛을 발사하여 패턴이 형성되도록 하기 위한 과정

5. Post Exposure Bake(PEB)

- Exposure(노광) 후에 현상(Develop)전에 PR을 가열, 건조시키는 과정

6. Develop(현상)

- 현상액을 이용하여 필요한 부분과 필요없는 부분을 구분하여 패턴을 구현하기 위해

일정 부분의 PR을 제거하는 것

7. Hard Bake

- 잔여 Solvent를 제거하여 PR을 건조시키며 기판에 대한 PR의 접착도를 증가시키는 공정

- Polymer 내 기포를 제거하여 안정화와 결합력을 증가시킨다

## 식각 공정

- 필요한 회로 패턴을 제외한 나머지 부분을 제거하는 과정

- 반도체 회로 패턴을 만든다는 의미(포토공정은 감광제(PR)에 패턴을 그리는 과정)

\* 습각 식각(Wet Etch)

- 화학적 반응

- 저비용, 쉬운 과정, 식각 속도가 빠르다, 선택비(Selectivity)가 좋다

- 비교적 정확성이 안 좋다, 웨이퍼 오염 위혐

- 등방성(Isotropic)

\* 건식 식각(Dry Etch)

- 물리적, 화학적 반응

- 정확성이 좋아 패터닝을 작게 만들 수 있다

- 고비용, 어려운 과정, 낮은 처리량(1장씩 공정), 선택비(Selectivity)가 나쁘다

- 비등방성(Anisotropic)

※ 식각속도(Etch Rate)

- 삭각된 두께 / 식각 시간

- 일정 시간동안 얼마만큼 식각할 수 있는지

※ 선택비(Selectivity)

- A층의 식각속도 / B층의 식각속도

- A층 : Etched layer(식각한 층), B층 ; Mask layer, Etch layer

※ 등방성 / 비등방성

- 등방성 : 모든 방향으로 식각속도가 같은 경우

- 비등방성 : 수평 수직간 식각속도가 다른 경우

=> 미세화 공저에서는 비등방성이 좋다

## 박막 증착 공정

- 박막을 웨이퍼 위에 만들어 전기적인 특성을 갖게 하는 과정

※ 박막

- 기계가공으로는 실현 불가능한 두께인 1마이크로미터(um) 이하의 얇은 막

##### 증착 공정 방법

1. 물리기상증착법(PVD, Physical Vapor Deposition)

- 금속박막 증착에 주로 사용되며 화학반응을 수반하지 않는다

- 저온공정, 안정적, 고품질 박막에 유리, 불순물 오염정도가 낮은(진공상태)

- 증발을 이용할 경우, 증착속도가 느림, 박막 접합성이 좋지 못함, 고가의 장비 이용

2. 화학기상증착법(CVD, Chemical Vapor Deposition)

- 가스의 화학 반응으로 형성된 입자들을 외부 에너지가 부여된 수증기 형태로 쏘아 증착시킴

- 기판 접합성이 좋음, 비교적 저렴한 장비, 박막 두께조절이 쉬움, 불순물 오염정도가 낮음

- 박막 성장속도가 느림, 공정온도 제어가 어려움, 챔퍼 크기 및 비용 문제

- ex) APCVD, LPCVD, PECVD, HDPCVD, ALCVD

## 금속 배선 공정(금속화 과정)

- Metallization, Interconnect, Back End of Line(BEOL)이라고 불리며, Device 간의 접합으로

전류가 흐르는 Interconnect(Contact, Via)와 그 사이를 절연시켜주는 dielectrics로 구성

##### AI과 Cu 비교

- 가장 일반적인 금속 배선으로는 AI이 쓰이며, 이 외에도 Cu, TiN 등이 쓰인다

\* AI

- 가격이 싸다, 박막 상태에서도 벌크 상태와 비슷한 높은 전기전도도를 갖는다

- 박막증착이 쉽다, 산화막과의 접착력이 좋다. (Cu 에 비해)사진, 식각 공정이 쉽다

- 자연 산화막을 환원 시킨다

- 부식이 잘된다, 녹는점이 낮다

\* Cu

- AI보다 낮은 저항

- AI보다 높은 녹는점 및 낮은 Diffusivity

- Etch가 어렵다, Cu가 SiO2를 확산으로 지나감

## EDS 공정

- EDS 과정을 통해 웨이퍼 제조 공정상의 문제점이나 설계상의 문제점을 발견해 공정 및

설계 과정에 피드백을 줄 수 있다

※ EDS(Electrical Die Sorting)

- 웨이퍼 상태에서 여러 검사를 통해 각각 칩들의 상태를 확인하는 과정

##### Test(웨이퍼 개별 칩이 양품/불량 인지를 선별하는 Test) 방법

1. ET Test & WBI

= 회로의 개별소자들의 동작 테스트(ET Test)

= 웨이퍼의 일정한 온도를 가하여 AC/DC 전압을 주며 테스트(WBI)

※ ET Test

- 반도체 집적회로 동작에 필요한 개별소자들

\* - WBI

= 웨이퍼 일정온도의 열을 가한 다음 AC/DC 전압을 가해 잠재적인 불량요인을 찾는 공정

2. Pre-Laser(Hot/Cold)

- 전기적 신호를 통해 웨이퍼 상의 칩들이 정상인지 이상이 있는지 판정하고, 수선이 가능한

칩은 수선공정에서 처리하도록 정보를 저장

- 이 때, 특정온도에서 발생하는 불량을 잡고자 상온보다 높은/낮은 온도에 따른 동작도 같이

테스트

3. Laser Repair & Post Laser

- 앞선 Pre-Laser 공정에서 판정한 수선이 가능한 불량칩을 모아 Laser Beam을 이용해

수선하는 공정

- Post Laser 공정을 통해 수선이 제대로 이루어졌는지 재차 검증

4. Tape Laminate & Back Grinding

※ Back Grinding 공정

- 웨이퍼 후면을 미세한 다이아몬드로 구성된 연마 Wheel로 갈아 칩 두께를 얇게함으로써

조립을 용이학 해줌

※ Tape Liminate 공정

- 실리콘 잔여물(Diet), Particle로부터 웨이퍼 패턴을 보호하기 위해 전면에 자외선(UV)

태잎을 씌어 보호막을 형성하는 것

5. Inking

- Pre Laser 및 Post Laser에서 발생된 불량칩에 특수 잉크를 찍어서 불량칩에 특수 잉크를

찍어 육안으로 불량칩을 식별할 수 있도록 하는 공정

## 패키징

- 반도체 칩(IC)는 기판이나 전자기기의 구성품으로 필요한 위치에 장착되기 때문에, 그에 맞는

모양으로 전기적인 포장(Packaging)을 해야 한다

##### 패키지 테스트(Package Test)

1. Assembly out

- 제품 종류, 수량, I/O 수 등을 확인해 제품 검사지(Lot Card)를 작성하는 공정

2. DC test & Loading / Burn-in(& Unloading)

※ DC test

- FAB 및 조립공정을 거치면서 발생된 불량을 선별하는 공정

※ Burn-in

- 불량 가능성이 있는 제품을 사전에 제거하기 위해 고전압, 고온, 전기신호 등 극한 조건을

가한 후에 별도의 테스트를 진행

3. MBT(Monitoring Burn-in & Tester)

- 열적, 전기적인 극한 조건을 가하는 과정에 Tester 기능까지 추가된 공정

- Burn-in 공정에 비해 불량분석 기간을 단축할 수 있고, 품질 불량을 보다 줄일 수 있는 장점

4. Post Burn Test

- 위 테스트 과정을 통과한 제품들은 상온 및 저온 공간에서 전기적 특성 및 기능 검사

5. Final Test

- 상온 및 저온에서 진행되는 Post Burn Test를 통과한 반도체 제품들은 Final Test에서

고온에서 반도체 전기적 특성 및 기능을 검사